

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problems Mailbox.**

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-198124

(43)Date of publication of application : 31.07.1997

(51)Int.Cl.

G05B 23/02

G05B 9/03

G05F 1/10

H02M 1/08

H02M 7/48

(21)Application number : 08-007109

(22)Date of filing : 19.01.1996

(71)Applicant : HITACHI LTD

(72)Inventor : ICHINOSE MASAYA

FUTAMI MOTOO

KUBOTA YUZURU

HIGUCHI MIKISUKE

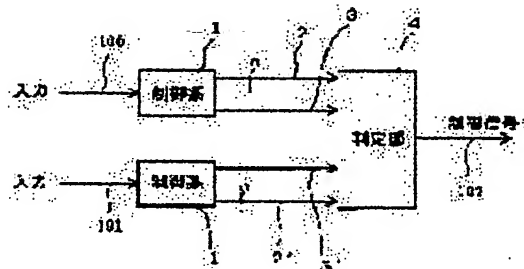
MOTOBE MITSUSACHI

(54) MULTIPLEX CONTROLLER

(57)Abstract

PROBLEM TO BE SOLVED: To provide a controller judging an error by judging and evaluating an arithmetic result independently of other control systems at the time of duplexing a control system of which output is an analog quantity or the like.

SOLUTION: A control system 1 and a control system 1' are provided with the same function and one signal is duplexed as 100 and 101 and respectively inputted to the control system 1 and the control system 1'. The control system 1 and the control system 1' respectively process and prepare an error detection code with respect to an input signal and output the analog control signals 2 and 2' and the error signals 3 and 3' of a control arithmetic result. In addition a judging part 4 receives an error code and the result of control arithmetic from the control system 1 and the control system 1' and outputs a correct control signal 102.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-198124

(43) 公開日 平成9年(1997)7月31日

(51) Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
G 0 5 B 23/02 9/03		0360-3H	G 0 5 B 23/02 9/03	V
G 0 5 F 1/10	3 0 2		G 0 5 F 1/10	3 0 2 Z
H 0 2 M 1/08 7/48	3 1 1	9181-5H	H 0 2 M 1/08 7/48	3 1 1 D F

審査請求 未請求 請求項の数12 O L (全 12 頁)

(21) 出願番号 特願平8-7109

(22) 出願日 平成8年(1996)1月19日

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 発明者 一瀬 雅哉

茨城県日立市大みか町七丁目2番1号 株式会社日立製作所電力・電機開発本部内

(72) 発明者 二見 基生

茨城県日立市大みか町七丁目2番1号 株式会社日立製作所電力・電機開発本部内

(72) 発明者 久保田 譲

茨城県日立市大みか町七丁目2番1号 株式会社日立製作所電力・電機開発本部内

(74) 代理人 弁理士 小川 勝男

最終頁に続く

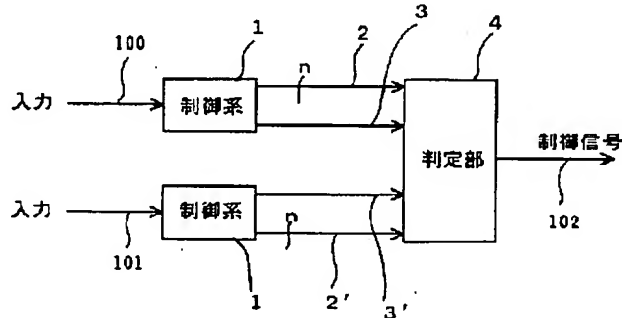
(54) 【発明の名称】 多重化制御装置

(57) 【要約】

【課題】出力がアナログ量であるような制御系を2重化構成としたときに、他の制御系と独立に演算結果を判定および評価することで誤りを判定する多重化制御装置を提供する。

【解決手段】制御系1及び制御系1'は同じ機能を有しており、1つの信号が100及び101として2重化され、該制御系1及び制御系1'に各々入力される。該制御系1及び制御系1'は、それぞれ入力信号に対して処理および誤り検出符号の作成を行い、制御演算結果のアナログ制御信号2及び2'と誤り信号3及び3'を出力する手段を有する。また、判定部4は、該制御系1及び制御系1'から誤り符号と制御演算の結果を受け取り、正しい制御信号102を出力する手段を有する。

図 1



【特許請求の範囲】

【請求項1】演算処理結果の制御信号をアナログで出力する制御系を多重化した制御装置において、各演算ブロックが自ブロックの演算の誤り判定用の信号を他の制御系からの情報を用いることなく作成する手段を有し、演算結果と共に誤り判定用の信号を出力する機能を備えることを特徴とする多重化制御装置。

【請求項2】制御系が、複数のスイッチング素子をオン、オフさせる駆動信号を出力する制御装置において、複数の駆動信号に加えて制御演算の正当性を示す誤り判定用の信号を出力する機能を備えることを特徴とする制御装置。

【請求項3】請求項1または2に記載の多重化制御装置において、判定部は、多重化制御系の終端に位置し、各演算ブロックから誤り判定用の信号とアナログ制御信号を受け取り、誤り判定用の信号から演算結果の異常を判定し、異常が検出されなかった系の演算結果を出力する手段を備えることを特徴とする多重化制御装置。

【請求項4】請求項1または2に記載の多重化制御装置において、各演算ブロックは、1つの入力信号に対して同一の演算を同一のマイコンで時間を遅らせて複数回行い、その演算結果の一致あるいは不一致から、他制御系とは独立に誤り符号を作成し、出力する手段を有することを特徴とする多重化制御装置。

【請求項5】請求項1または2に記載の多重化制御装置において、判定部は、多重化制御系の終端に位置し、制御系の各演算ブロックが1つの入力信号に対して同一の演算を同一のマイコンで時間を遅らせて複数回行い、その演算結果の一致あるいは不一致から作成された誤り符号を用いて演算結果の異常を判定し、異常が検出されなかった系の演算結果を出力する手段を備えることを特徴とする多重化制御装置。

【請求項6】請求項1または2に記載の多重化制御装置において、各演算ブロックが演算結果のアナログ信号と演算の妥当性を判断する予測判定用の信号をアナログ出力することを特徴とする多重化制御装置。

【請求項7】請求項1または2に記載の多重化制御装置において、予測判定部は、演算結果の妥当を判断するためのアナログ信号を前回使用した値と比較し、変化幅が許容誤差範囲内であるかを判定し、誤り符号を判定部に出力する手段を有することを特徴とする多重化制御装置。

【請求項8】パルス幅変調インバータのパルス幅変調信号を作成する多重化構成制御装置において、各演算ブロックは変調波信号と搬送波信号をアナログ出力し、判定部は前回の出力から今回の変化点を予測し、その予測値と決定した変調信号との誤差により異常を判定することを特徴とする多重化制御装置。

【請求項9】フェッチ処理およびデコード処理およびデータリード処理および命令実行等の処理をパイプライン

化した演算装置において、フェッチ、デコード、データリード、命令実行等の処理を複数回実行し、結果の比較から演算の誤りを検出する手段を備えたことを特徴とする演算装置。

【請求項10】請求項1、2または8に記載の多重化制御装置において、可変速発電機またはフライホイールジェネレータまたは無効電力調整装置または系統連携装置の制御系を前記多重化制御装置により構成することを特徴とする多重化制御装置。

【請求項11】請求項1、2または8に記載の多重化制御装置において、演算部が複数接続されている制御系を多重化した場合、各演算部は自分自身の誤り信号を他の制御系の情報を用いずに作成し、誤りの発生した演算部を特定する出力手段を備えたことを特徴とする多重化制御装置。

【請求項12】請求項1、2または8に記載の多重化制御装置において、前記判定部は、多重制御系の終端に位置し、制御系が有する複数の演算ブロックからの誤り符号の論理積の結果から自制御系の異常を一括判定し、正しい演算結果を出力する手段を備えることを特徴とする多重化制御装置。

【発明の詳細な説明】**【0001】**

【発明の属する技術分野】本発明は、制御系の高信頼化に関し、とりわけアナログ制御信号を出力する多重化構成制御系に適する誤りを検出する手段を備えた制御装置に関する。

【0002】

【従来の技術】制御装置の信頼性の向上のために、制御系の多重化が行われている。制御系を2重化とした場合、2つの出力の比較により誤りを判定する。しかし、一方で誤りが発生すると出力が異なるので誤りが発生したことはわかるが、どちらの信号が正しいかという判断は信号の比較のみでは行えない。このような場合に、例えば特開平2-178702号公報では、多重化した他の制御系の情報を取得して判断する方法あるいは信号の突変を検出する方法がとられている。

【0003】

【発明が解決しようとする課題】上記従来技術では、制御系を二重化構成とした場合、あるいは三重化構成制御系の1重故障の場合、一方の系が故障し、制御系が一重運転しているとき他制御系の情報が入力されなくなると演算結果の誤りを判定できない問題がある。本発明の第1の目的は、このような場合に信号の誤りを判定できる制御装置を提供することにある。

【0004】また、信号の突変により誤りを判定する場合は、信号の突変と判断されないような演算の誤りが生じた場合、二重化した制御系の2つの演算結果に対してどちらの結果が誤りであるか比較判定ができない問題がある。本発明の第2の目的は、このような場合にどちら

の系の演算結果が正しいか判定できる制御装置を提供することにある。

【0005】また、スイッチング素子をオン、オフする駆動信号の各出力の状態の正当性は、出力のパターンそのものから判定することは困難で、この出力を決定した演算の正当性をも合わせて評価する必要がある。本発明の第3の目的は、このような場合に演算の正当性を評価できる制御装置を提供することにある。

【0006】

【課題を解決するための手段】上記第1の目的を達成するため、演算ブロックを1つの入力信号に対して同一の演算を同一のマイコンで時間を遅らせて複数回行わせるソフト的時分割多重化構成として、さらに複数回の演算結果の比較結果から他制御系と独立に誤り信号を作り出して判定部に出力させ、判定部に誤り判定手段を設けるようにした。

【0007】また上記第2の目的を達成するため、演算部は制御系の過去の演算結果に基づいた予測信号もしくは予測信号の作成を可能とする演算情報を出力し、判定部に予測結果と出力結果の比較により誤りを判定する予測判定手段を設けるようにした。

【0008】また上記第3の目的を達成するため、予測判定およびソフト的時分割多重化構成により制御信号に冗長度を持たせるようにした。

【0009】前記各演算部は、ソフト的時分割多重化構成による演算部の複数回の演算結果を比較し、誤りを検出して、他の制御系と独立に誤り符号を出力する。判定手段は、誤り符号を用いて演算の誤りまたはどの演算装置で誤りが生じたかを検出する。この様な時間的に多重化した構成により誤り符号を出力するので他制御系と独立して自制御系の演算の誤りを検出できる多重化制御装置を提供できる。

【0010】前記予測判定手段において、演算部は演算の結果から予測判定用の信号を出力し、予測判定手段は、前回の演算結果から変化点を予測して許容誤差範囲を決定し、今回の演算結果の誤りを判定する。これにより2重系のどちらで誤りが生じたか判断できない場合あるいは一方の制御系が故障した場合でも、予測判定を行うことで自己の制御系の演算結果に対し評価ができ、安定に動作する多重化制御装置を提供できる。

【0011】ソフト的時分割多重化構成および予測判定により制御信号の冗長度を持たせることで、演算の誤りを検出できる多重化制御装置を提供できる。

【0012】

【発明の実施の形態】以下、発明の実施例を図面を用いて説明する。図1に、本発明による一実施例の制御系の構成を示す。同図は、制御系を2重化としたときの構成を表わしている。制御系1及び制御系1'は同じ機能を有しており、1つの入力信号が100及び101として2重化され、該制御系1及び制御系1'に各々入力され

る。該制御系1及び制御系1'は、それぞれの入力信号に対して処理および誤り符号の作成を行い、演算結果のn個のアナログ制御信号2及び2'、誤り信号3及び3'を出力する。

【0013】また、同図において制御系のアナログ制御信号2及び2'が、パルスによるオン、オフ指令のようにパリティ等の冗長性を付加することができないような信号であり、かつ該出力信号に高い信頼性が要求される場合、該出力信号とともに誤り判定用に少なくとも1ビットの誤り信号3及び3'を出力することで該出力信号に冗長性をもたせることができる。また、複数の演算結果を出力先グループ毎に1つの誤り信号を加えて出力することもできる。

【0014】また、同図において判定部4は、該制御系1及び制御系1'から誤り信号3及び3'と制御演算の結果のアナログ制御信号2及び2'を受け取る。該判定部は、どちらの系にも誤りが生じていなければ該制御系1の結果を制御信号102として出力し、該制御系1に誤りが生じたときは、該制御系1'の結果を制御信号102として出力する。このように、制御系が他制御系の情報を用いず、自制御系の誤り符号を出力するため、2重系の場合でも該判定部は、どちらか一方の系が故障した場合であっても誤りが発生したことを特定できる。

【0015】図2に、本発明による他の実施例の制御系の構成を示す。本実施例は、該制御系1及び制御系1'を構成する要素が演算要素の場合の実施例を示している。同図において、該制御系1及び制御系1'は、それぞれ演算部7と演算部7'、比較演算部8と比較演算部8'、誤り信号作成部9と誤り信号作成部9'によって構成されている。演算部から誤り符号を作成する方法として、ソフト的時分割多重化構成を用いる。図3に、ソフト的時分割多重化構成の処理と時間の関係を示す。ソフト的時分割多重化構成は、同一の演算を同一のマイコンで時間を遅らせて複数回行わせる方法である。図2を用いて誤り符号の出力までの流れを説明する。制御系1において、入力信号100は演算部7に入り、該演算部は該入力信号に対してプログラムを2回実行する。該演算部は実行結果T1とT2を比較演算部8に出力し、該比較器は該実行結果を比較し、比較結果を誤り信号作成部9に出力し、該誤り信号作成部はフラグを立てることによって誤り信号3を判定部4に出力する。また、該演算部は実行結果T1を該判定部にアナログで出力する。同様に、制御系1'において、入力信号101は演算部7'に入り、該演算部は該入力信号に対してプログラムを2回実行する。該演算部は実行結果T3とT4を比較演算部8'に出力し、該比較器は該実行結果を比較し、比較結果を誤り信号作成部9'に出力し、該誤り信号作成部はフラグを立てることによって誤り符号を判定部4に出力する。また、該演算部は実行結果T3を該判定部にアナログで出力する。これにより、制御系が他制御系

の情報をを用いず、自制御系の誤り符号を出力できる。また、制御系が複数の演算要素で構成される場合、処理時間短縮のため、制御系の重要な部分に限定してソフト的に多重化する方法も考えられる。

【0016】また、同2において、判定部4は多重化した制御系の終端に位置し、該制御系1及び制御系1'から誤り信号3及び3'と制御演算結果T1およびT3のアナログ制御信号2及び2'を受け取る。該判定部は、どちらの系にも誤りが生じていなければ該制御系1の結果T1を出力し、該制御系1に誤りが生じたときは、該制御系1'の結果T3を出力する。

【0017】また、図2における演算結果から誤り判定までの流れを、図4にフローチャートで示す。図4から、該制御系1及び制御系1'は、他の制御系の情報を用いずに自己の制御系のみで誤り符号を作成でき、判定部は制御系の誤りを判定できることがわかる。また、図5に真理表を示す。制御系は他制御系と独立して誤り符号を作成しているため、どちらかの系が正常であれば正しい制御信号を出力できる。このように、該制御系1及び制御系1'のどちらかの系が故障した場合でも、他の制御系の情報を用いずに誤り符号を作成しているため、判定部は誤りを検出できる。

【0018】図6に、本発明による他の実施例の制御系の構成を示す。本実施例は、該制御系1及び制御系1'を構成する要素が複数の演算要素を含む場合の実施例を示している。同図において、該制御系1は、演算部200、演算部201および演算部202によって構成されており、該制御系1は判定部に演算結果のアナログ制御信号2と誤り信号3を出力する。同様に、該制御系1'は、演算部200'、演算部201'および演算部202'によって構成されており、該制御系1'は判定部に演算結果のアナログ制御信号2'と誤り信号3'を出力する。演算部から誤り符号を作成する方法として、ソフト的時分割多重構成を用いる。該制御系1を構成する各演算ブロックが出力した各誤り符号は、該制御系1の論理演算部203で論理演算され、該制御系1は誤り信号3を判定部4に出力する。同様に、該制御系1'を構成する各演算ブロックが出力した各誤り符号は、該制御系1'の論理演算部203'で論理演算され、該制御系1'は誤り信号3'を判定部4に出力する。これにより、制御系は、制御系が複数個の演算要素で構成される場合でも他制御系の情報を用いず、自制御系の誤り符号を出力できる。

【0019】また、判定部4は、多重化した制御系の終端に位置し、該制御系1及び制御系1'から誤り信号3及び3'と制御演算結果のアナログ制御信号2及び2'を受け取る。該判定部は、どちらの系にも誤りが生じていなければ該制御系1の演算結果のアナログ制御信号2を出力し、該制御系1に誤りが生じたときは、該制御系1'の演算結果のアナログ制御信号2'を出力する。該

制御系1及び制御系1'のどちらかの系のある1つの演算要素で誤りが生じた場合でも、他の制御系の情報を用いずに誤り符号を作成しているため、判定部は誤りを検出できる。

【0020】さらに本実施例では、前記誤り符号作成手段と組み合わせることで、制御系の演算ブロック200、201、202、200'、201'、202'の誤りを表示手段300、301、302、300'、301'、302'を用いて人間に知らせる故障検出器を簡単に構成できる。

【0021】図7に、故障検出器を備えた制御系の構成を示す。図6に示した制御系の構成との違いは、各演算部が自己の誤り符号を用いて演算の誤りを知らせる表示手段を有することである。これにより、制御系が多数の演算装置で構成されており、出力信号から故障の発見箇所が特定できないような制御系においても、表示手段を設けることで多重化制御系のどの部分で故障が生じたか容易に発見でき、修理時間を短縮することで信頼性の向上を図ることができる。

【0022】図8に、本発明による他の実施例の制御系の構成を示す。本実施例は、該制御系1及び制御系1'を、ソフト的時分割多重構成および予測判定法により構成し、誤りを判定する2重化制御系の構成を示している。同図において、制御系1の予測判定は、該ソフト的時分割多重構成による演算結果T1、T2のうちT1を用いるとする。演算部7は、演算結果T1をD/A変換器11に出力し、アナログ変換器はアナログデータを誤り信号判定部12に出力する。また、演算ブロックは演算結果T1、T2をアナログ信号で判定部4に出力する。予測判定部は判定結果をフラグを用いて判定部4に出力する。同様に、制御系1'の予測判定は、該ソフト的時分割多重構成による演算結果T3、T4のうちT3を用いるとする。演算部7'は、演算結果T3をD/A変換器11'に出力し、アナログ変換器はアナログデータを誤り信号判定部12'に出力する。また、演算ブロックは演算結果T3、T4をアナログ信号で判定部4に出力する。予測判定部は判定結果をフラグを用いて判定部4に出力する。これにより、制御系が他制御系の情報を用いず、自制御系の誤り符号を出力できる。

【0023】図9に、予測判定の判定法を説明するための概念図を示す。該予測判定部は、前回、前々回に予測判定に用いた値を保持しており、その値から今回の演算結果(T1あるいはT3)の値を予測し、今回の値が許容誤差範囲内に存在すれば、制御信号として用いても制御対象に影響を及ぼさないと判定し、許容誤差範囲内に存在しない場合は制御信号として不適であるという誤り符号を出力する。

【0024】また、制御系が、該ソフト的時分割多重構成および該予測判定法の機能を有する場合の、誤り符号作成から判定部までの流れを図10のフローチャート

に示す。また、判定部が行う判定を図11に真理表として示す。図10および図11より、該ソフト的時分割多重化構成に該予測判定を加えることで、該ソフト的時分割多重化構成では判定できないような誤りも判断できるようになり、該ソフト的時分割多重化構成で判断できない誤りも検出できる。このように、該予測判定法を行うことで、信頼性のある制御装置が実現できる。

【0025】図12に、本発明による他の実施例の制御系の構成を示す。本実施例は、電流あるいは電圧を検出するセンサと、アナログ波形をデジタル化するA/D変換器16及び16'、コントローラ演算を行う演算部15及び15'、誤り信号判定部10、誤り信号作成部9及び9'及び13及び13'、これらを結ぶ信号伝送路で構成されている。同図はインバータの制御系の構成について示したものである。T1、T2は制御系1の演算ブロック15をソフト的時分割多重化構成としたときの演算結果を示している。T3、T4は制御系1'のコントローラ演算5'をソフト的時分割多重化構成としたときの各出力を示している。制御系1は演算部出力T1、T2を比較演算部8で比較し、誤り信号作成部9によりフラグを出力する。同様に、制御系1'も演算部出力T3、T4を比較演算部8'で比較し、誤り信号作成部9'によりフラグを出力する。また、信号の突変は検出できないが、演算結果に不一致が生じた場合にどちらの信号が正しいか判定するために、演算結果T1とT3およびPWM作成のための三角波をそれぞれD/A変換器11とD/A変換器11'及びD/A変換器14とD/A変換器14'によりアナログ値に戻し、その結果が前回使用した値の許容誤差範囲内であるかを、誤り信号判定部12および誤り信号判定部12'および判定部1000および判定部1000'でそれぞれ判定する。判定の結果、許容誤差範囲外に演算結果がある場合、誤り信号作成部13および誤り信号作成部13'および符号出力手段1001および誤り符号出力手段1001'で誤り符号を出力する。これにより、どちらの系で誤りが生じたか判定できない場合でも、許容範囲内であれば制御対象に影響を与えないと判断して制御信号を出力することで制御対象を停止させることなく制御できる。このように、本実施例によれば制御系のどちらの系で誤りが生じたか比較判定できない場合に予測判定を行うことで判定でき、また一方の制御系が故障した場合でも自制御系で誤り符号を作成しているため誤りを検出でき、高信頼なインバータの2重化制御装置を実現できる。

【0026】図13に本発明による他の実施例の制御系の構成を示す。本実施例は、インバータおよび制御系Aおよび制御系Bおよび誤り判定部を有する。以下、発明の実施例を図面を用いて説明する。図13において制御系A及び制御系Bは同一の入力信号に対して、同一の演算を行い、制御信号23及び23'を誤り判定部に出力する。このとき前記制御系A及び制御系Bは、出力信号

の演算の誤りまたは前記入力信号の誤りを各制御系で自己判定し誤り信号24及び24'を出力する。前記判定部は、誤り信号により演算の誤りを判定し、正しい演算結果を出力する。これにより、信頼性を要求される電力設備の制御系を2重化構成にした場合、1重故障が生じた場合でも制御信号の誤りを検出できるので信頼性の向上を図ることができる。

【0027】図14に本発明による他の実施例の制御系の構成を示す。同図に示す演算装置は、フェッチ命令およびデコード命令およびデータリード命令および実行命令および書き込み命令および比較演算部およびフラグ出力部を備える。フェッチ1とフェッチ2は同一命令のフェッチ、デコード1とデコード2は同一のデコード、データリード1とデータリード2は同一のデータリード、実行1と実行2は同一の実行命令を行う。この様に、演算装置は各命令の実行を時間的に多重化した構成となっている。このようにパイプライン処理する演算装置において、パイプライン処理をソフト的に多重化することで短時間で複数回のプログラムが実行できる。更に比較演算部8に実行結果を出力することで演算の実行結果を比較でき、実行結果と共に演算の間違いをフラグを立てて出力することができる。

【0028】

【発明の効果】多重化した制御系の各演算部が他制御系と独立に誤り符号を出力することで、制御系の冗長度が0になったときでも制御信号の誤りを判定することができるので、制御系を2重化構成あるいは3重化構成の1重故障の場合の信頼性を向上できる。

【0029】判定部で制御信号の妥当性を評価するので、2重系のどちらで誤りが生じたか比較判定できない場合でも誤りを検出できる。

【図面の簡単な説明】

【図1】2重化制御装置のブロック図。

【図2】時分割多重化を用いた2重化構成制御装置の構成を示す図。

【図3】ソフト的時分割多重化構成の演算処理のタイミングを示す図。

【図4】時分割多重化を用いた2重化構成制御装置の判定方法を示すフローチャート。

【図5】時分割多重化を用いた2重化構成制御装置の判定方法を示す真理値表。

【図6】複数の演算部からなる制御系の2重化構成制御装置の構成を示す図。

【図7】演算部の誤り検出機能を有する2重化構成制御装置の構成を示す図。

【図8】時分割多重化および予測判定を用いた2重化構成制御装置の構成を示す図。

【図9】予測判定法を説明する図。

【図10】予測判定法を用いた2重化制御系の判定方法を示すフローチャート。

【図11】予測判定法を用いた2重化制御系の判定方法を示す真理値表。

【図12】パルス幅変調インバータのパルス幅変調信号を作成する2重化構成制御装置を示す図。

【図13】インバータの制御系の2重化構成制御装置を示す図。

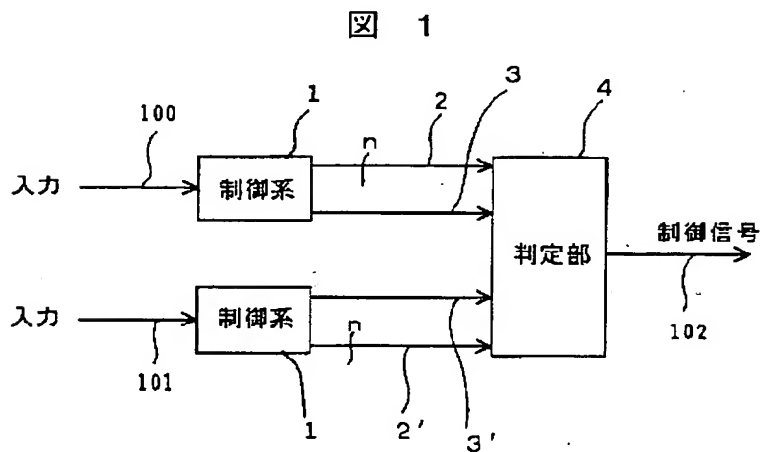
【図14】演算装置のパイプライン処理の多重化。

【符号の説明】

1, 1', 25, 25' …制御系、2, 2' …アナログ

制御信号、3, 3', 24, 24' …誤り信号、4, 10, 12, 12', 26, 103…誤り信号判定部、5, 5', 6, 6' …コントローラ演算、7, 7', 15, 15', 18, 18' …演算ブロック、8, 8' …比較演算部、9, 9', 13, 13' …誤り信号作成部、11, 11', 14, 14' …D/A変換器、16, 16' …A/D変換器、17…センサ、22…制御装置、23, 23' …制御信号。

【図1】



【図5】

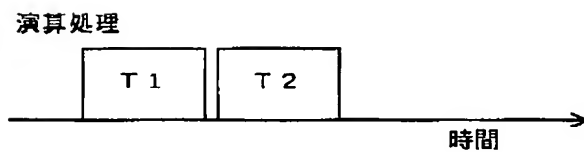
図 5

flag1	flag1'	出力
0	0	T1
0	1	T1
1	0	T3
1	1	-

0: 誤りなし
1: 誤り有

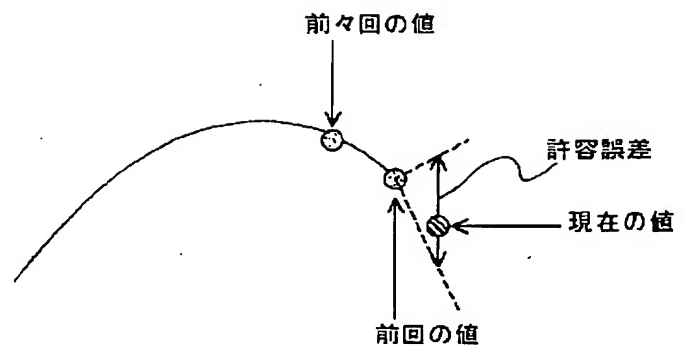
【図3】

図 3



【図9】

図 9

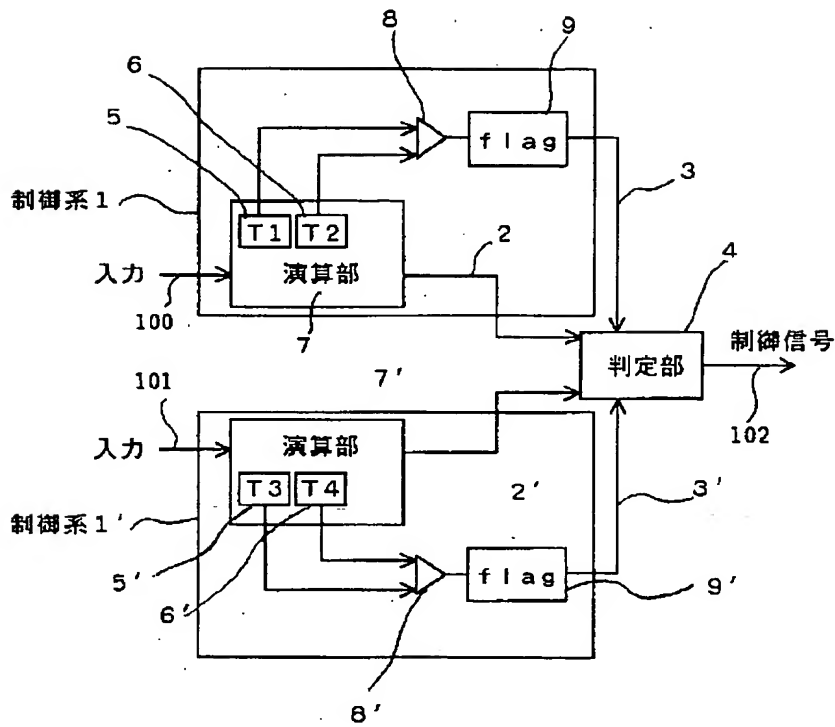


【図 2】

【図 11】

図 2

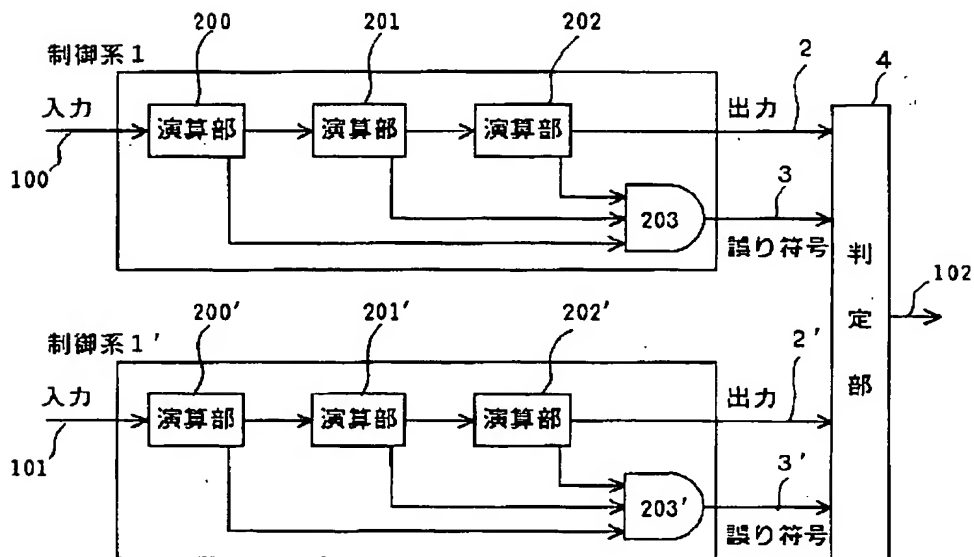
図 11



A	A'	B	B'	出力可否
0	0	0	0	○
0	0	0	1	○
0	0	1	0	○
0	0	1	1	○
0	1	0	0	○
0	1	0	1	○
0	1	1	0	○
0	1	1	1	○
1	0	0	0	○
1	0	0	1	○
1	0	1	0	○
1	0	1	1	○
1	1	0	0	○
1	1	0	1	○
1	1	1	0	○
1	1	1	1	○
1	1	1	1	x

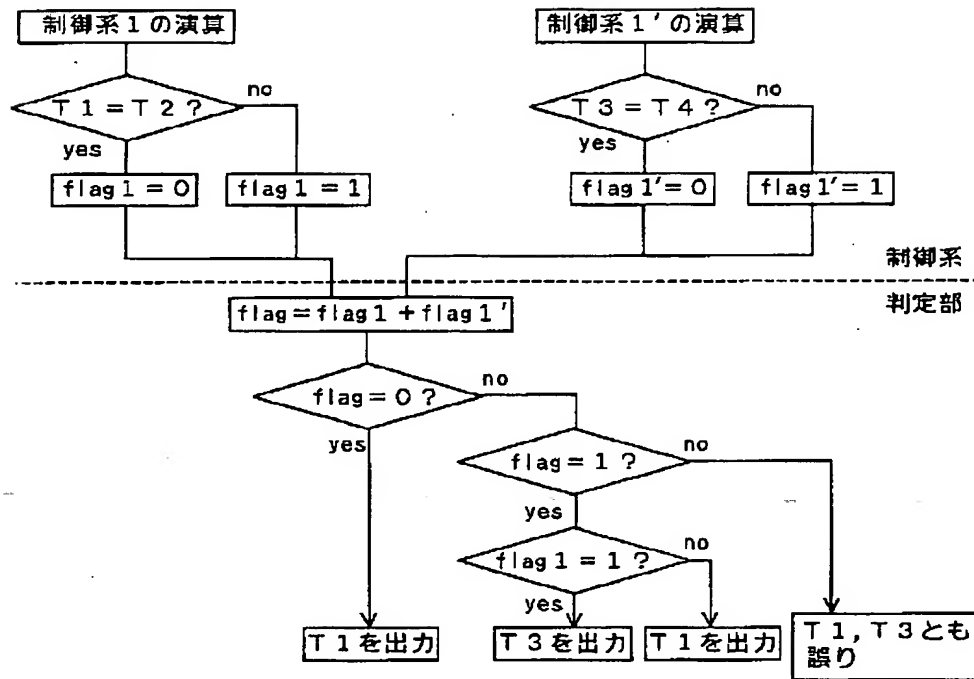
【図 6】

図 6



【図4】

図 4



【図12】

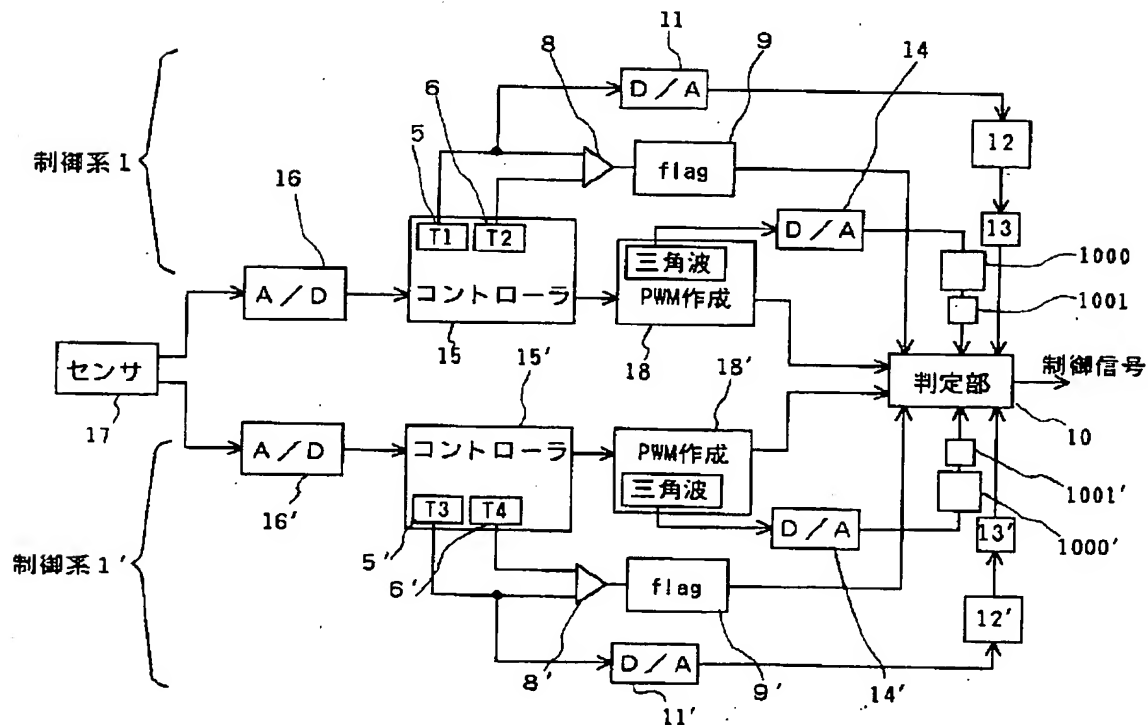
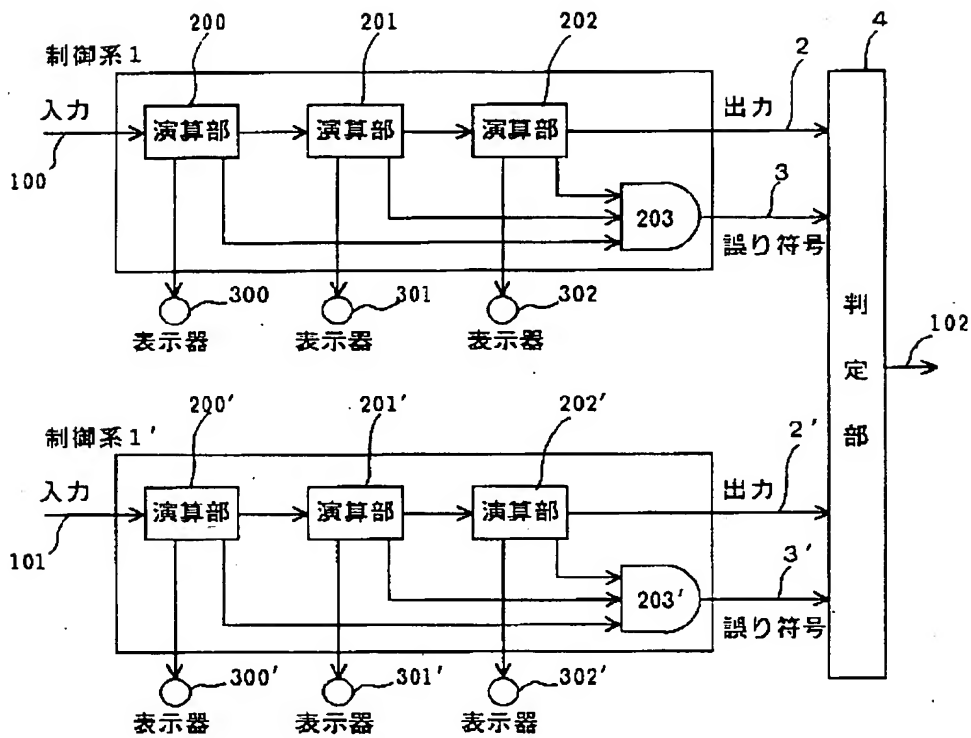


図 12

【図 7】

図 7



【図 14】

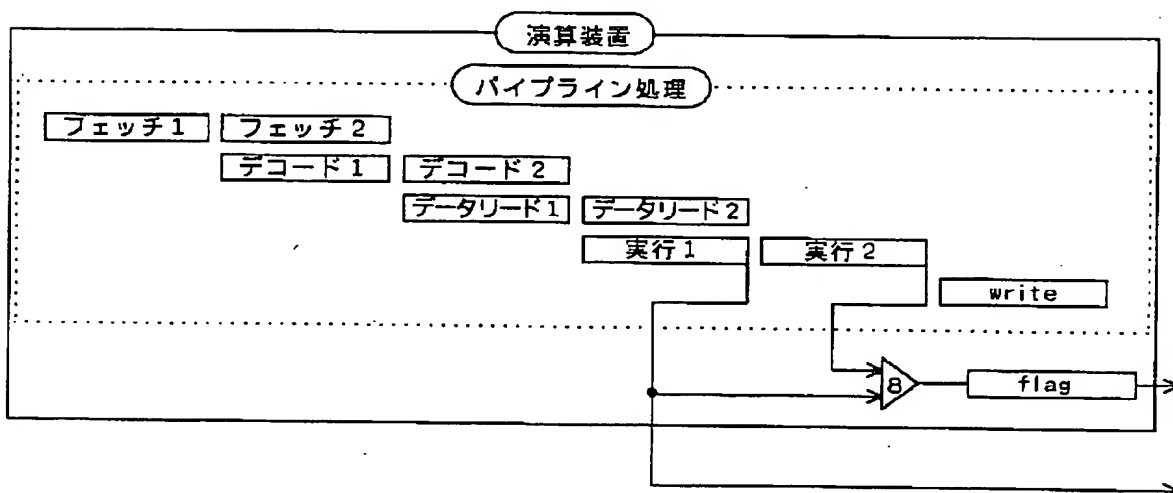
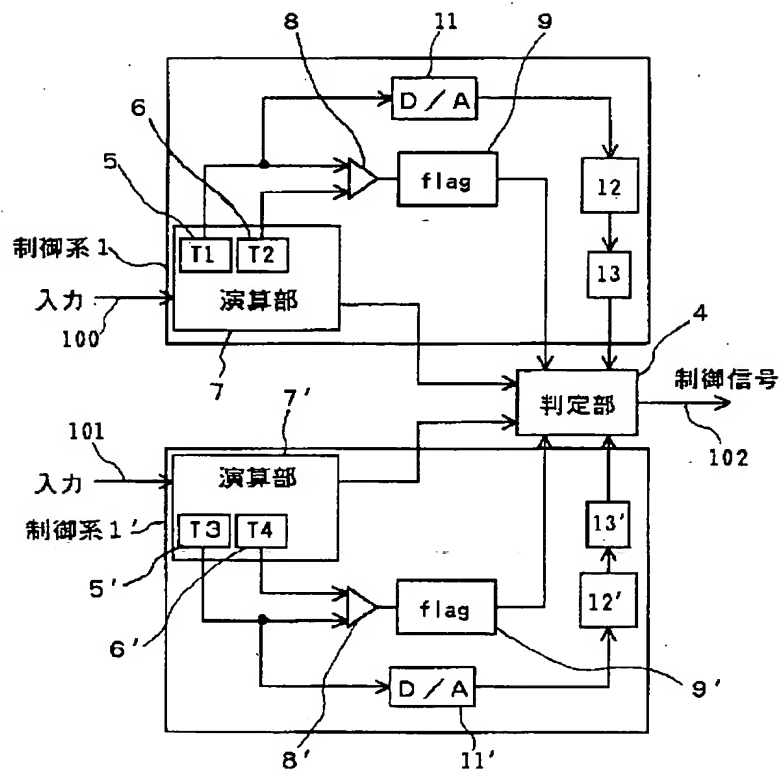


図 14

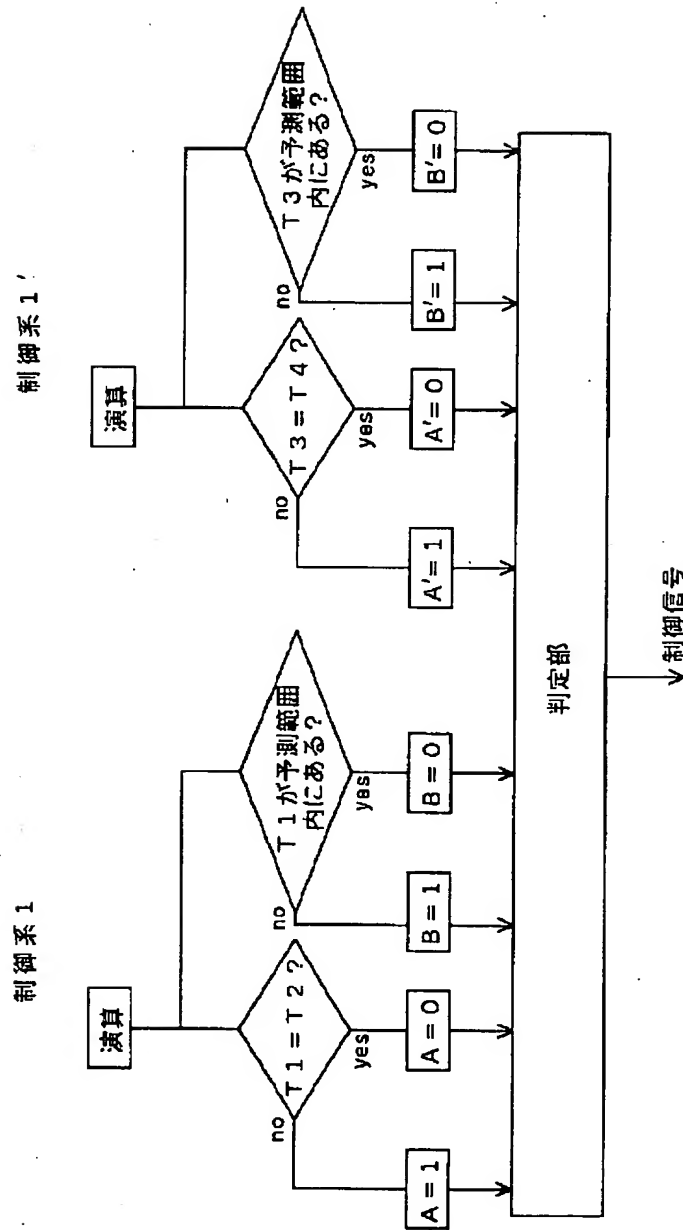
【図8】

図 8

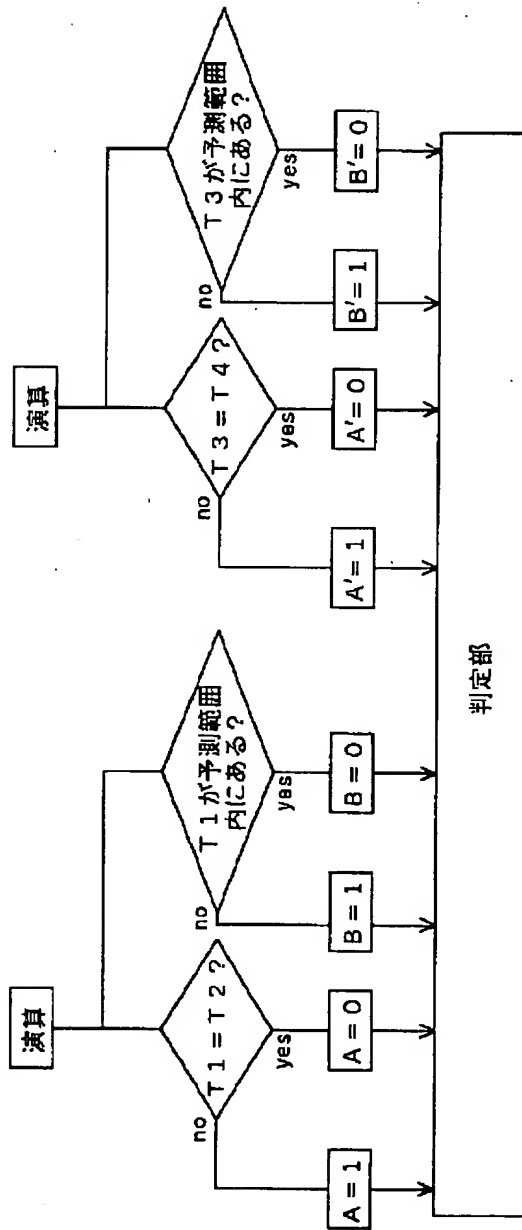


【図10】

図 10

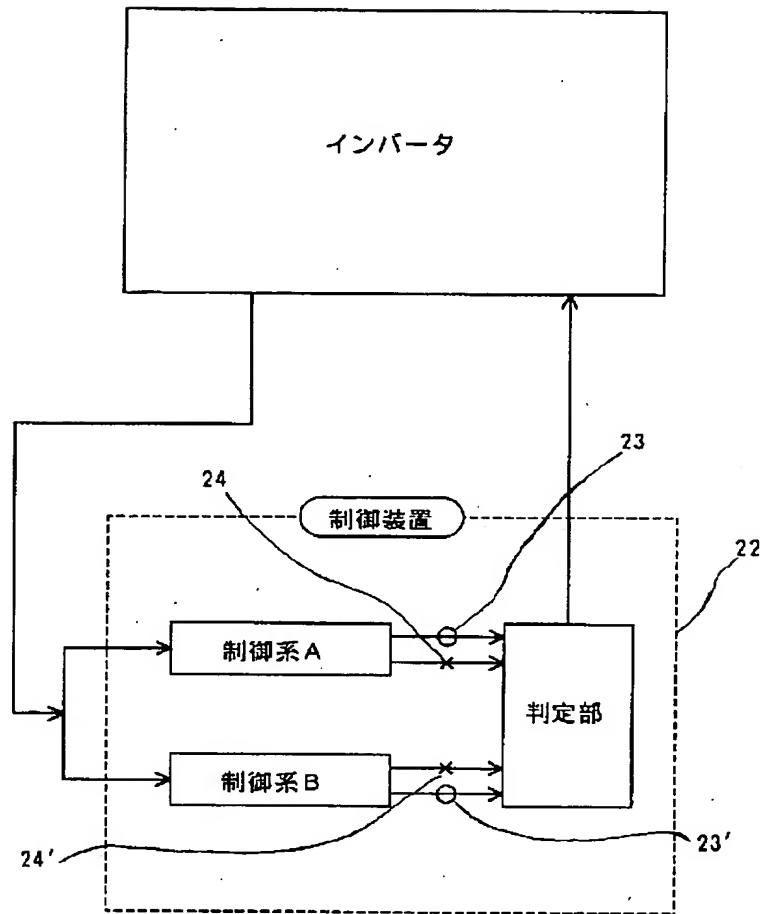


制御系 1'



【図13】

図 13



フロントページの続き

(72)発明者 樋口 幹祐
茨城県日立市幸町三丁目1番1号 株式会
社日立製作所日立工場内

(72)発明者 本部 光幸
茨城県日立市大みか町七丁目2番1号 株
式会社日立製作所電力・電機開発本部内